

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

16796974

Basic Patent (No,Kind,Date): JP 2001059975 A2 20010306 <No. of Patents: 002>

LIQUID CRYSTAL ELECTROOPTICAL DEVICE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): HIROKI MASAOKI; MASE AKIRA; YAMAZAKI SHUNPEI

IPC: *G02F-001/1368; G02F-001/133; H01L-029/786; H01L-021/336

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001059975	A2	20010306	JP 2000183972	A	19901210 (BASIC)
JP 3300700	B2	20020708	JP 2000183972	A	19901210

Priority Data (No,Kind,Date):

JP 2000183972 A 19901210

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06832481 **Image available**

LIQUID CRYSTAL ELECTROOPTICAL DEVICE

PUB. NO.: 2001-059975 [JP 2001059975 A]

PUBLISHED: March 06, 2001 (20010306).

INVENTOR(s): HIROKI MASAOKI

 MASE AKIRA

 YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-183972 [JP 2000183972]

 Division of 02-415721 [JP 90415721]

FILED: December 10, 1990 (19901210)

INTL CLASS: G02F-001/1368; G02F-001/133; H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To enlarge a current margin, that is, to enlarge a response speed by connecting a source part of an NTFT to a first signal line, connecting the source part of a PTFT to a second signal line, connecting gate electrodes of the NTFT and the PTFT commonly to a third signal line and connecting drain parts to a pixel electrode.

SOLUTION: The NTFT 13 is connected to a first scanning line 5 through a contact of an input terminal of a drain 10, and a gate 9 is connected to a multi-layer wiring formed data line 3. An output terminal of a source 12 is connected to the pixel electrode 17 through the contact. The input terminal of the drain 20 of the PTFT 22 is connected to a second scanning line 8 through the contact, and the gate 21 is connected to the data line 3, and the output terminal of the source 18 is connected to the pixel electrode 17 through the contact. Thus, one pixel is constituted by a pixel 23 consisting of a transparent conductive film and a C/TFT in a space held by a pair of scanning lines 5, 8, that is, two TFTs are constituted complementarily on one pixel 23 to be provided.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3300700号
(P3300700)

(45) 発行日 平成14年 7 月 8 日 (2002. 7. 8)

(24) 登録日 平成14年 4 月 19 日 (2002. 4. 19)

(51) Int.Cl.⁷

識別記号

F I

G 0 2 F 1/1368
H 0 1 L 21/336
29/786

G 0 2 F 1/1368
H 0 1 L 29/78

6 1 6 V
6 1 8 G
6 1 8 Z

請求項の数 6 (全 15 頁)

(21) 出願番号 特願2000-183972(P2000-183972)
(62) 分割の表示 特願平2-415721の分割
(22) 出願日 平成2年12月10日(1990. 12. 10)
(65) 公開番号 特開2001-59975(P2001-59975A)
(43) 公開日 平成13年 3 月 6 日(2001. 3. 6)
審査請求日 平成12年 6 月 20 日(2000. 6. 20)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 ▲ひろ▼木 正明
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 間瀬 晃
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(74) 代理人 100095061
弁理士 加藤 恭介

審査官 河原 英雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ

(57) 【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板と、
ソース領域、ドレイン領域およびチャネル形成領域を有
する結晶性シリコン膜と、ゲート絶縁膜と、ゲート電極
とを有し、前記絶縁表面上に形成された薄膜トランジス
タにおいて、

前記結晶性シリコン膜は、ラマンスペクトルの半値幅か
ら計算した前記結晶性シリコンの見かけの粒径は $5 \sim 50$ nm であり、

前記ソース領域および前記ドレイン領域の酸素濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下であり、前記チャネル形成領域の酸
素濃度は $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ であることを特
徴とする薄膜トランジスタ。

【請求項 2】 前記結晶性シリコン膜はセミクリスタル
構造を有することを特徴とする請求項 1 に記載の薄膜ト

ランジスタ。

【請求項 3】 前記結晶性シリコン膜は水素を 1 原子%
含有することを特徴とする請求項 1 または 2 に記載の薄
膜トランジスタ。

【請求項 4】 前記結晶性シリコン膜のラマンスペクト
ルのピークが 522 cm^{-1} より低周波数側にシフトして
いることを特徴とする請求項 1 乃至 3 のいずれかに記
載の薄膜トランジスタ。

【請求項 5】 前記ゲート絶縁膜には弗素が含有されて
いることを特徴とする請求項 1 乃至 4 のいずれかに記
載の薄膜トランジスタ。

【請求項 6】 画素回路に設けられていることを特徴と
する請求項 1 乃至 5 のいずれかに記載の薄膜トランジ
スタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブ型表示装置、特に、アクティブ型液晶表示装置に関するもので、それぞれの画素に相補型にPチャネル型およびNチャネル型の2つの薄膜型絶縁ゲート電界効果トランジスタ（以下TFTという）を設けてピクセルを構成した薄膜トランジスタに関するものである。

【0002】

【従来の技術】従来、表示装置として有効なものに、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTには、アモルファスまたは多結晶構造の半導体を用い、1つの画素にPまたはN型のいずれか一方の導電型のためのTFTを用いたものである。即ち、一般にはNチャネル型TFT（NTFTという）を画素に直列に連結している。その代表例を図8に示す。

【0003】一般に、アクティブマトリクス型の液晶表示装置は 480×640 、または 1260×960 と非常に多くの画素を有している。図8ではこれらと同じ意味を示すもので、説明を簡単にするために 2×2 のマトリクス配列で示している。複数のゲート線 G_1 、 G_2 と複数のデータ線 D_1 、 D_2 とを直交して配置し、そのマトリクス状の交差部に画素表示素子を設けている。この画素表示素子は、液晶部102とTFT部101で構成されている。それぞれの画素に対して周辺回路106、107から信号を加えて所定の画素を選択的にオンまたはオフして表示を行う。

【0004】しかし、実際にこれらの液晶表示装置を作製して表示をさせた場合、TFTの出力、即ち、液晶にとっての入力（液晶電位という）の電圧 V_{LC100} は、しばしば"1"（High）となるべき時に"1"（High）にならず、また、逆に"0"（Low）となるべき時に"0"（Low）にならない。これは、画素に信号を加えるスイッチング素子、つまり、TFTの特性に対称性がないために発生する。すなわち、画素電極への充電の様子と放電の様子に電気特性上のかたよがりがあるためである。そして、液晶102は、その動作において本来絶縁性であり、また、TFTがオフの時に液晶電位（ V_{LC} ）は浮いた状態になる。この液晶102は、等価的にキャパシタであるため、そこに蓄積された電荷により V_{LC} が決められる。この電荷は、液晶が R_{LC} で比較的小さい抵抗となったり、ゴミやイオン性不純物の存在によりリークしたり、またTFTのゲート絶縁膜のピンホールにより R_{GS105} が生じた場合にはそこから電荷がもれ、 V_{LC} は中途半端な状態になってしまう。このため、1つのパネル中に20万～500万個の画素を有する液晶表示装置においては、高い歩留まりを達成することができないという問題があった。

【0005】液晶102は、一般には、TN（ツイステッドネマティック）液晶が用いられる。その液晶の配向のためにそれぞれの電極上にラビングした配向膜を設ける。このラビング工程のため発生する静電気により弱い

絶縁破壊が起こり、隣の画素との間または隣の導線との間でリークしたり、またゲート絶縁膜が弱く、リークをしたりしてしまう。

【0006】

【発明が解決しようとする課題】アクティブ型の液晶表示装置においては、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保つことがきわめて重要である。しかし、実際はアクティブ素子の動作不良が多く、必ずしも液晶電位を1フレームの間は、たえず初期値と同じ値として所定のレベルを保てないのが実情である。また、液晶等の駆動において、印加する信号により、液晶に加わる電圧が+または-の何れかに偏った場合、電気分解等が発生して、液晶材料を分解、変性して表示が十分に行えないことが発生する。この場合、印加する信号を交流化して液晶材料に加わる電圧に偏りが発生しないようにするが、この交流化信号が非常に複雑であった。

【0007】本発明は、上述のような問題を解決し、より電流マージンを大とする、即ち、応答速度を大とする。また、各ピクセルにおける画素の電位、即ち、液晶電位 V_{LC} が"1"、"0"に充分安定して固定され、1フレーム中にそのレベルがドリフトしないようにしたものである。

【0008】また、表示装置のカラー化、高品質化等の要求のため、階調表示がつよく求められているが階調表示の駆動方法は非常に複雑であった。

【0009】

【課題を解決するための手段】本発明は、画素に対してNTFTとPTFTとを相補構成として有し、前記NTFTのソース（ドレイン）部を一对の信号線のうちの第1の信号線に接続し、前記PTFTのソース（ドレイン）部を一对の信号線のうちの第2の信号線に接続し、前記NTFTとPTFTのゲート電極を共通に第3の信号線に接続し、前記NTFTおよびPTFTのドレイン（ソース）部を画素電極と接続して設けられている表示装置の駆動方法であって、前記一对の第1および第2の信号線に対して、信号波形が印加されている期間に前記第3の信号線に対して、信号波形を印加することにより前記相補構成の薄膜トランジスタ（以下C/TFTという）を駆動し、画素の表示をオンまたはオフする表示装置の駆動方法である。加えて、第3の信号線に印加する信号の電圧の高低に対応して液晶に加える電位差を変化させて、階調表示を可能とするものである。

【0010】本発明の駆動方法を適用可能な表示装置の構成としては、1つの画素に2つまたはそれ以上のC/TFTを連結して1つのピクセルを構成せしめてもよい。さらに、1つのピクセルを2つまたはそれ以上に分割し、それぞれにC/TFTを1つまたは複数個連結してもよい。

【0011】本発明の駆動方法を適用可能な表示装置の

構成の代表例を図2、図3、図4に回路図として示す。また、実際のパターンレイアウト（配置図）の例をそれぞれに対応して図5、図6、図7に示す。説明を簡単にするため、ここでは 2×2 のマトリクス構成を例として説明を行う。図2の 2×2 のマトリクスの例において、NTFTとPTFTとのゲートを互いに連結し、さらに、Y軸方向の第3の信号線3または4に連結し、また、C/TFTの共通出力端を液晶15に連結している。NTFTの入力端（10側）をX軸方向の一对の信号線のうちの第1の信号線5または6に連結し、PTFTの入力端（20側）をX軸方向の一对の信号線のうちの第2の信号線8または7に連結させている。

【0012】この様な構成において、図1に示されているように一对の第1の信号線5と第2の信号線8間にオンの信号波形が印加されている期間に第3の信号線3に対しオンの信号波形を印加した時、液晶電位（ V_{LC} ）14は、第1の信号線に印加された電圧 $V_{GG} - V_{th}$ となる。また、一对の第1の信号線5と第2の信号線8間にオフの信号波形が印加されている期間に第3の信号線3もオフの信号波形が印加された時、液晶電位（ V_{LC} ）14は電位を持たない。さらにまた、一对の第1の信号線5と第2の信号線8間にオンの信号波形が印加されている期間に第3の信号線3に対しオンの信号波形を印加しない時、液晶電位（ V_{LC} ）14は、同様に電位を持たない。かくの如く、液晶電位（ V_{LC} ）14は、第3の信号線に印加する電圧に従って与えられるものであり、この信号線に加える信号の電圧を可変することにより液晶に加える電位差を任意に可変することができる。

【0013】また、対抗電極16は、オフセット電圧 V_{OFFSET} が印加されており、実際に液晶15に加わる電圧は $V_{GG} + V_{OFFSET} - V_{th}$ 、あるいは V_{OFFSET} の2値となる。本発明の駆動方法では、対抗電極に加えるオフセット電圧 V_{OFFSET} を可変して、液晶駆動のオンとオフを任意に変更することができる。また、液晶を実際に駆動する際のしきい値が液晶材料によって異なっているため、その液晶の持つ値に合わせ為にこのオフセット電圧 V_{OFFSET} を可変するだけで、任意のしきい値合わせることができる。

【0014】また、液晶等の駆動において、印加する信号により、液晶に加わる電圧が+、または-の何れかに偏った場合、電気分解等が発生して、液晶材料を分解、変性して表示が十分に行えないことが発生する場合、印加する信号を交流化して液晶材料に加わる電圧に偏りが発生しないようにするが、本発明の駆動方法によると対抗電極に印加するオフセット電圧 V_{OFFSET} の極性とデータ信号線に加える選択信号の論理を反転するのみで、非常に容易に交流化信号を発生させることができる特徴をもつ。

【0015】図3の例において、第1のC/TFTを構成するNTFT13PTFT22と第2のC/TFTを

構成するNTFT24、PTFT25の4つのゲイト電極を共通してY方向の第3の信号線3に連結せしめ、NTFT13とNTFT24入力端を共通化してX方向の第1の信号線5にPTFT22とPTFT25入力端を共通化してX方向の第2の信号線8に接続させた。また、その2つのC/TFTの出力を共通にして1つの液晶15の一方の電極である画素電極17に連結させている。かくすると、2つのNTFTまたは2つのPTFTのいずれか一方が多少リークしても同相であるためその画素を駆動させることができる。

【0016】図4は1つのピクセル23において、2つの画素電極17、26とそのそれぞれに対応してC/TFTを2つ設けたものである。2つのC/TFTのゲイト電極を共通とせしめ、第1の入力を行う。また、それぞれのC/TFTのそれぞれのNTFTおよびそれぞれのPTFTの入力を第1の信号線5および第2の信号線8に連結したものである。かくすることにより、1つのピクセルの2つの画素のうち一方がTFTのリーク等の不良により非動作とならない。また、遅れた動作となっても、他方が正常動作するため、マトリクス構成動作において不良が目立ちにくいという特長を有する。

【0017】

【実施例1】本実施例では、図2に示すような回路構成の液晶表示装置を用いて説明を行う。この回路構成に対応する実際の電極等の配置構成を図5に示している。これらは説明を簡単にする為 2×2 に相当する部分のみ記載されている。また、実際の駆動信号波形を図9に示す。これも説明を簡単にする為に 4×4 のマトリクス構成とした場合の信号波形で説明を行う。

【0018】まず、本実施例で使用する液晶表示装置の作製方法を図13を使用して説明する。図13（A）において、石英ガラス等の高価でない 700°C 以下、例えば約 600°C の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層51としての酸化珪素膜を $1000 \sim 3000 \text{ \AA}$ の厚さに作製する。プロセス条件は、酸素 100% 雰囲気、成膜温度 15°C 、出力 $400 \sim 800 \text{ W}$ 、圧力 0.5 Pa とした。ターゲットに石英または単結晶シリコンを用いた成膜速度は $30 \sim 100 \text{ \AA/分}$ であった。

【0019】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも $100 \sim 200^{\circ}\text{C}$ 低い $450 \sim 550^{\circ}\text{C}$ 、例えば 530°C でジシラン（ Si_2H_6 ）またはトリシラン（ Si_3H_8 ）をCVD装置に供給して成膜した。反応炉内圧力は、 $30 \sim 300 \text{ Pa}$ とした。成膜速度は、 $50 \sim 250 \text{ \AA/分}$ であった。NTFTとPTFTとのスレッショールド電圧（ V_{th} ）に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0020】スパッタ法で行う場合、スパッタ前の背圧を 1×10^{-5} Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えば、アルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56 MHz、スパッタ出力は400～800 W、圧力は0.5 Paであった。

【0021】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56 MHzの高周波電力を加えて成膜した。

【0022】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高く、または熱アニール時間を長くしなければならない。また、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため、 $4 \times 10^{19} \sim 4 \times 10^{21} \text{cm}^{-3}$ の範囲とした。水素は、 $4 \times 10^{20} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{cm}^{-3}$ となるように添加してもよい。その時、周辺回路を構成するTFTには、光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるため有効である。

【0023】次に、アモルファス状態の珪素膜を500～5000 Å、例えば1500 Åの厚さに作製の後、450～700℃の温度にて、12～70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600℃の温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0024】アニールにより、珪素膜は、アモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特に、シリコンの成膜後の状態で比較的秩序性の高い領域は、特に、結晶化をして結晶状態となろうとする。しかし、これらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は、互いにひっぱりあう。レーザラマン分光により測定すると単結晶の珪素のピーク 522cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は、半値巾から計算すると、50～500 Åとマイクロ結晶のようになっているが、実際は、この結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は、互いに珪素同

志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

【0025】結果として、被膜は、実質的にグレインバウンダリ(以下GBという)がないといってもよい状態を呈する。キャリアは、各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ち、ホール移動度(μ_h)= $10 \sim 200 \text{cm}^2/\text{Vsec}$ 、電子移動度(μ_e)= $15 \sim 300 \text{cm}^2/\text{Vsec}$ が得られる。

【0026】他方、上記の如き中温でのアニールではなく、900～1200℃の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作って、そこでのキャリアの移動を阻害してしまう。結果として、 $10 \text{cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例では、かくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

【0027】図13(A)において、珪素膜を第1のフォトマスク①にて、フォトエッチングを施し、PTFT用の領域22(チャネル巾20 μm)を図面の右側に、NTFT用の領域13を左側に作製した。

【0028】この上に、酸化珪素膜をゲイト絶縁膜として500～2000 Å、例えば1000 Åの厚さに形成した。これはブロック層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0029】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{cm}^{-3}$ の濃度に入ったシリコン膜、またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク②にてパターンニングして図13(B)を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えば、チャネル長10 μm、ゲイト電極としてリンドープ珪素を0.2 μm、その上にモリブデンを0.3 μmの厚さに形成した。図13(C)において、フォトレジスト57をフォトマスク③を用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーザ量でイオン注入法により添加した。次に、図13(D)の如く、フォトレジスト61をフォトマスク④を用いて形成した。NTFT用のソース64、ドレイン62としてリンを $1 \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーザ量でイオン注入法により添加した。

【0030】これらは、ゲイト絶縁膜54を通じて行った。しかし、図13(B)において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入して

もよい。

【0031】次に、600℃にて、10～50時間再び加熱アニールを行った。PTFTのソース59、ドレイン58NTFTのソース64、ドレイン62を不純物を活性化して P^+ 、 N^+ として作製した。また、ゲイト電極55、56下には、チャネル形成領域60、63がセミアモルファス半導体として形成されている。

【0032】かくすると、セルフアライン方式でありながらも、700℃以上にすべての工程で温度を加えることがなく、C/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画素の液晶表示装置にきわめて適したプロセスである。

【0033】本実施例では、熱アニールは図13

(A)、(D)で2回行った。しかし、図13(A)のアニールは求める特性により省略し、双方を図13

(D)のアニールにより兼ね製造時間の短縮を図ってもよい。図13(E)において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成は、LPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば、0.2～0.6 μ mの厚さに形成し、その後、フォトマスク⑤を用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード71、72およびコンタクト67、68をフォトマスク⑥を用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク⑦にて行った。

【0034】図13(F)に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク⑧によりエッチングし、電極70を構成させた。このITOは、室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。かくの如くにして、PTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの電気的な特性はPTFTで、移動度は20(cm^2/Vs)、 V_{th} は-5.9

(V)で、NTFTで移動度は40(cm^2/Vs)、 V_{th} は5.0(V)であった。

【0035】上記の様な方法に従って作製された液晶装置用の一方の基板と他方ガラス基板上に全面に透明電極を設け、これら基板を張り合わせて液晶セルを形成し、この中にTNの液晶材料を注入した。この液晶表示装置の電極等の配置の様子を図6に示している。NTFT13を第1の走査線5とデータ線3との交差部に設け、第1の走査線5とデータ線4との交差部にも他の画素用のNTFTが同様に設けられている。一方、PTFTは第2の走査線8とデータ線3との交差部に設けられてい

る。また、隣接した他の第1の走査線6とデータ線3との交差部には、他の画素用のNTFTが設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT13は、ドレイン10の入力端のコンタクトを介し第1の走査線5に連結され、ゲイト9は多層配線形成がなされたデータ線3に連結されている。ソース12の出力端は、コンタクトを介して画素の電極17に連結している。

【0036】他方、PTFT22は、ドレイン20の入力端がコンタクトを介して第2の走査線8に連結され、ゲイト21はデータ線3に、ソース18の出力端はコンタクトを介してNTFTと同様に画素電極17に連結している。かくして、一対の走査線5、8に挟まれた間(内側)に、透明導電膜よりなる画素23とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリクスをそれを拡大した640×480、1280×960といった大画素の液晶表示装置とすることができる。

【0037】ここでの特長は、1つの画素に2つのTFTが相補構成をして設けられていることにより、画素電極17は3つの値の液晶電位 V_{LC} に固定されることである。その動作を図9および図10を用いて説明する。図9においては、4×4マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図10は駆動信号波形のタイミングチャートを示している。

【0038】本実施例の場合、 $X_{1a}X_{1b}$ 、 $X_{2a}X_{2b}$ 、 $X_{3a}X_{3b}$ 、 $X_{4a}X_{4b}$ は各々一対の走査信号線として機能する。また、 Y_1 、 Y_2 、 Y_3 、 Y_4 はデータ線として機能している。また、図9中のAA、AB・・・DDは対応する位置の画素のアドレスを意味している。

【0039】この様な4×4構成の表示において、今アドレスAA、AB、BA、BBの4つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図10に示す。図10において、横軸は時間を示している。1フレームを時間T1からT2の間としてこの間を4つに分割して、一対の走査線4対を順次走査して走査信号を印加している。図では X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} のみを記載しているが、実際には X_{1b} 、 X_{2b} 、 X_{3b} 、 X_{4b} には X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} と極性の異なる同じ波形が印加されている。また、 Y_1 、 Y_2 、 Y_3 、 Y_4 線には図10のようなデータ信号が印加されており、時間T1からT2の間は、AAの画素のみ選択されてオンまたはオフされる。即ち、T1から t_1 の間にデータ線 Y_1 に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加され液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。図10では、次の時間T2からT3にも全く同じ信号波形を印加し、AAの表示を行っている。

【0040】次に、時間T3からT4及びT4からT5

では4つの画素を全く選択しない信号が印加されている。さらに、時間T5からT6では再びAAの画素を選択している信号が印加されている。

【0041】次に、時間T6からT8はデータ線に印加する信号の論理を反転させた信号が印加され、また、対抗電極には時間T1からT6の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT6の間に正に偏っていた電荷をキャンセルすることができる。すなわち、時間T2からT4に加えられていた信号のうち、 Y_1 、 Y_2 、 Y_3 、 Y_4 線の論理を反転し、すなわち、選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、時間T2からT4の前半の1フレームではAAの画素を選択し、後半の1フレームでは4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。これにより容易に画素に残っている電荷をキャンセルすることができる。

【0042】上述のように、液晶に実際に加わる電位差は、第3の信号線の信号の電圧、本実施例ではデータ線のパルス電圧と対抗電極のオフセット電圧よりTFTの V_{th} 分を差し引いた分の電位である。すなわち、データ線のパルス電圧を任意に変えるとそれに従って液晶に実際に加わる電位差を変化させることができる。これにより階調表示を行うことができる。特に、液晶駆動のしきい値が明確でないもの、すなわちスレッショルドがなだらかな分散型液晶等には特によく適した駆動法で十分な階調表示を行うことができる。

【0043】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および一対の走査線に加えるだけで、液晶表示を行える。

【0044】また、その他の階調法として、1つの表示画面に対して、複数フレームの駆動信号を液晶に印加することにより1画面を表示する場合は特定の画素に加える選択信号を全フレーム数より減らすことにより、容易に階調表示を行うことができる。

【0045】本実施例において、液晶材料にTN液晶を用いるならば、液晶容器の基板間隔を約 $10\mu\text{m}$ 程度とし、透明導電膜双方に配向膜を設け、それをラビング処理して形成させる必要がある。

【0046】また、液晶材料にFLC（強誘電性）液晶を用いる場合は、動作電圧を $\pm 20\text{V}$ とし、セルの間隔を $1.5 \sim 3.5\mu\text{m}$ 例えば $2.3\mu\text{m}$ とし、対抗電極16上のみ配向膜を設けラビング処理を施せばよい。

【0047】分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は $\pm 10 \sim \pm 15\text{V}$ とし、セル間隔は $1 \sim 10\mu\text{m}$ と薄くした。

【0048】特に、分散型液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても

光量を大きくすることができる。そして、その液晶はスレッショールドがないため、本発明のように、明確なスレッショールド電圧が規定されるC/TFT型とすることにより、大きなコントラストとクロストーク（隣の画素との悪干渉）を除くことができた。

【0049】また、本実施例で使用したTFTの半導体は本実施例で使用した材料以外をも使用できる。

【0050】

【実施例2】この実施例は図3および図7に対応した液晶表示装置の構成を有するものを使用して、本実施例を行った。この図面より明らかな如く、Y線の走査線3を中央に配設し、一対のデータ線の第1のデータ線5と第2のデータ線8に挟まれた部分を1つのピクセル23としている。1つのピクセルは1つの透明導電膜の画素17および2つのNTFT13、24と、2つのPTFT22、25よりなる2つのC/TFTに連結させている。ゲート電極はすべて走査線3に連結され、2つのNTFTは第1のデータ線3に、また2つのPTFTは第2のデータ線8に連結されている。これら2つのC/TFTの一方が、ゲート電極とチャネル形成領域との間にリークがあり不良であった場合でも、ピクセルとしての動作をさせることができる。

【0051】ここでの特長は、1つの画素に2つのC/TFTが設けられていることにより、画素電極17は3つの値の液晶電位 V_{LC} に固定されることである。その動作を図9および図11を用いて説明する。図9においては、 4×4 マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図11は駆動信号波形のタイミングチャートを示している。

【0052】本実施例の場合、 $X_{1a}X_{1b}$ 、 $X_{2a}X_{2b}$ 、 $X_{3a}X_{3b}$ 、 $X_{4a}X_{4b}$ は、各々一対のデータ線として機能する。また、 Y_1 、 Y_2 、 Y_3 、 Y_4 は、走査線として機能している。また、図9中のAA、AB・・・DDは対応する位置の画素のアドレスを意味している。

【0053】この様な 4×4 構成の表示において、今アドレスAA、AB、BA、BBの4つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図11に示す。図11において、横軸は時間を示している。1フレームを時間T1からT2の間としてこの間を4つに分割して、走査線 Y_1 、 Y_2 、 Y_3 、 Y_4 線には、順次走査して走査信号を印加している。また、 X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} 線には、図11のようなデータ信号が印加されている。図では X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} のみを記載しているが実際には X_{1b} 、 X_{2b} 、 X_{3b} 、 X_{4b} には X_{1a} 、 X_{2a} 、 X_{3a} 、 X_{4a} と極性の異なる同じ波形が印加されており、時間T1からT2の間はAAの画素のみ選択されてオンまたはオフされる。すなわち、 T_1 から t_1 の間に一対のデータ線 X_1 に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加されるこ

とになり液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。図11では次の時間T2からT3にも全く同じ信号波形を印加し、AAの表示を行っている。

【0054】次に、時間T3からT4及びT4からT5では4つの画素を全く選択しない信号が印加されている。さらに、時間T5からT6では再びAAの画素を選択している信号が印加されている。

【0055】次に、時間T6からT8は一对のデータ線に印加する信号の論理を反転させた信号が印加され、また、対抗電極には時間T1からT6の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT6の間に正に偏っていた電荷をキャンセルすることができる。実際には、時間T2からT4に加えられていた信号のうち、一对のX₁、X₂、X₃、X₄線の論理を反転し、つまり選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、前半のフレームではAAの画素を選択し、後半のフレームでは4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。

【0056】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および一对の走査線に加えるだけで、液晶表示を行える。また、実施例1と同様に走査線側の信号電圧を変化させて階調表示を行うことができる。

【0057】

【実施例3】この実施例は図4および図8に対応した液晶表示装置の構成を有するものを使用して、本実施例を行った。この図面より明らかな如く、Y線のデータ線3を中央に配設し、一对の走査線の第1の走査線5と第2の走査線8に挟まれた部分を1つのピクセル23としている。1つのピクセルは、2つの透明導電膜の画素電極17、26から構成され、画素17はNTFT13とPTFT22が接続され、画素26にはNTFT24と、PTFT25がおのおのC/TFT構成として連結されている。ゲイト電極はすべてデータ線3に連結され、2つのNTFTは第1の走査線3に、また2つのPTFTは第2の走査線8に連結されている。これら2つのC/TFTの一方が、ゲイト電極とチャネル形成領域との間にリークがあり不良であった場合でも、ピクセルとしての動作をさせることができる。かくすると、たとえ一方の画素が中途半端にしか動作しなくなっても、他方の画素が正常動作をし、カラー化をした時、グレースケールの劣化の程度を下げる事ができた。

【0058】その動作を図9および図12を用いて説明する。図9においては、4×4マトリクス構成の液晶表示を行う際の本発明の回路図を示し、図12は駆動信号波形のタイミングチャートを示している。

【0059】本実施例の場合、X_{1a}X_{1b}、X_{2a}X_{2b}、X

3aX_{3b}、X_{4a}X_{4b}は各々一对の走査信号線として機能する。また、Y₁、Y₂、Y₃、Y₄はデータ線として機能している。また、図9中のAA、AB・・・DDは対応する位置の画素のアドレスを意味している。

【0060】この様な4×4構成の表示において、今アドレスAA、AB、BA、BBの4つの画素に対応する、信号波形と液晶電位と実際に液晶に印加される電位差のタイミングチャートを図12に示します。図12において、横軸は時間を示している。1フレームを時間T1からT2の間としてこの間を16に分割して、一对の走査線4対を順次走査して走査信号を印加している。図ではX_{1a}、X_{2a}、X_{3a}、X_{4a}のみを記載しているが実際にはX_{1b}、X_{2b}、X_{3b}、X_{4b}にはX_{1a}、X_{2a}、X_{3a}、X_{4a}と極性の異なる同じ波形が印加されている。また、Y₁、Y₂、Y₃、Y₄線には図12のようなデータ信号が印加されておりそのタイミングは選択する画素のアドレスにより、1フレーム中の16分割された特定の時間にデータ線にデータ信号が印加される、時間T1からT2の間はAAの画素のみ選択されてオンまたはオフされている。即ち、T₁からt₁の間にデータ線Y₁に対してデータ信号を印加して、この時間内にAAの画素の液晶にはしきい値をこえる電圧が印加され液晶が駆動される。この時、液晶表示装置の対抗電極にオフセット電圧が印加されている。次に、時間T2からT3では4つの画素を全く選択しない信号が印加されている。

【0061】次に、時間T3からT4は、データ線に印加する信号の論理を反転させた信号が印加され、また、対抗電極には時間T1からT3の間に印加されていた信号とは極性の異なるオフセット電圧が印加されて、交流化信号が液晶に加えられている。この交流化信号により、時間T1からT3の間に正に偏っていた電荷をキャンセルすることができる。すなわち、時間T1からT2に加えられていた信号のうち、Y₁、Y₂、Y₃、Y₄線の論理を反転し、すなわち、選択信号と非選択信号を入れ換え、対抗電極のオフセット電圧の正負を入れ換えることにより、前半のフレームでは、AAの画素を選択し、後半のフレームでは、4つの画素を選択しない交流化信号を印加でき液晶を駆動することが可能となった。

【0062】このように、本発明の駆動によると非常に簡単な、パルス信号をデータ線および一对の走査線に加えるだけで、液晶表示を行える。本実施例においては、走査する側をY線として、走査を行ったが、特に、この構成に限定されることなく、X線側を走査する側とすることも可能である。また、データ信号をランダムに各データ線に印加して、画素をランダムに選択してゆくことも可能である。その他、ここに記載されていないことは実施例1、2に記されたことと同様である。

【0063】

【発明の効果】以上説明したように本発明の駆動法により、液晶電位をフローティングとしないため、安定した

表示を行うことができる。また、アクティブ素子としてのC/TFTの駆動能力が高いため、動作マージンを拡大でき、さらに、周辺の駆動回路をより簡単にすることが可能で表示装置の小型化、製造コストの低減に効果がある。また、3本の信号線と対抗電極に非常に単純な信号で高い駆動能力を発揮することができる。

【0064】不良TFTが一部にあっても同相出力であるためその補償をある程度行うことができる。

【0065】さらに、液晶材料を電気分解させないために液晶の駆動としては、必須の交流化信号駆動をC/TFTのゲート信号線に加える信号の論理を反転させ、対抗電極に印加するオフセット電圧の極性を反転するという簡単なことで達成できた。

【0066】また、第3の信号線の信号の電圧を任意に変可変するとそれによって液晶に実際に加わる電位差を変換することができる。これにより階調表示を行うことができる。特に、液晶駆動のしきい値が明確でないもの、すなわち、スレッショルドがなだらかな分散型液晶等には、特によく適した駆動法で十分な階調表示を行うことができる。また、その他の階調方法として、1つの表示画面に対して、複数フレームの駆動信号を液晶に印加することにより1画面を表示する場合は、特定の画素に加える選択信号を全フレーム数より減らすことにより、容易に階調表示を行うことができる。

【0067】本発明における表示媒体としては、透過型の液晶表示装置または反射型の液晶表示装置として用い得る。また、使用可能な液晶材料としては、前術のTN液晶、FLC液晶、分散型液晶、ポリマ型液晶を用い得る。また、ゲストホスト型、誘電異方性型のネマチック液晶にイオン性ドーパントを添加して電界を印加することによってネマチック液晶としコレステリック液晶との混合体に電界を印加して、ネマチック相とコレステリック相との間で相変化を生じさせ、透明ないし白濁の表示を実現する相転移液晶を用いることもできる。また、液晶以外では、例えば染料で着色した有機溶媒中にこれと色の異なる顔料粒子を分散させたいわゆる電気泳動表示用分散系を用いることもできることを付記する。

【0068】本発明において、表示媒体として液晶を用いた時、C/TFTの出力は液晶電位となる。また、液

晶以外の媒体を用いることもあるため、その場合には、C/TFTの出力電圧と置き換えればよい。

【図面の簡単な説明】

【図1】本発明の駆動波形を示す。

【図2】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図3】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図4】相補型TFTを用いたアクティブ型表示装置の回路図を示す。

【図5】従来のアクティブ型液晶装置の回路図を示す。

【図6】図2に対応した液晶表示装置の一方の基板の平面図を示す。

【図7】図3に対応した液晶表示装置の一方の基板の平面図を示す。

【図8】図4に対応した液晶表示装置の一方の基板の平面図を示す。

【図9】相補型TFTを用いた4×4アクティブ型液晶装置の回路図を示す。

【図10】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図11】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図12】本発明の駆動信号波形とそのタイミングチャートの一例を示す。

【図13】本発明で使用したC/TFTの作製工程図を示す。

【符号の説明】

①～⑧・・・フォトマスクを用いたプロセス

1、2・・・周辺回路

3、4・・・第3の信号線

5、6・・・第1の信号線

7、8・・・第2の信号線

13・・・NTFT

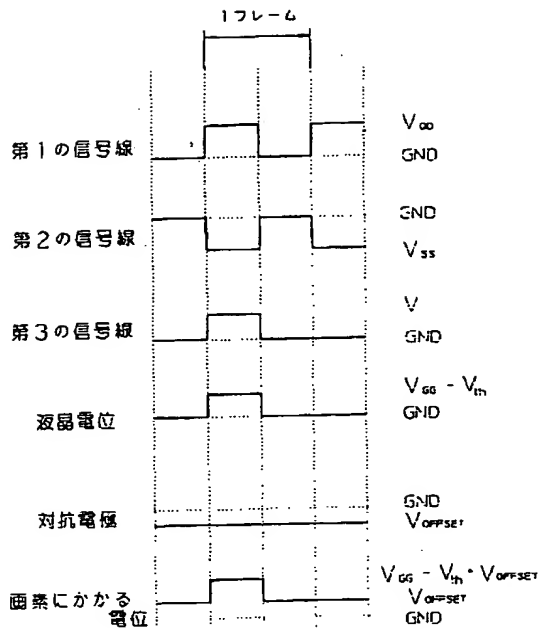
16・・・対抗電極

17・・・画素電極

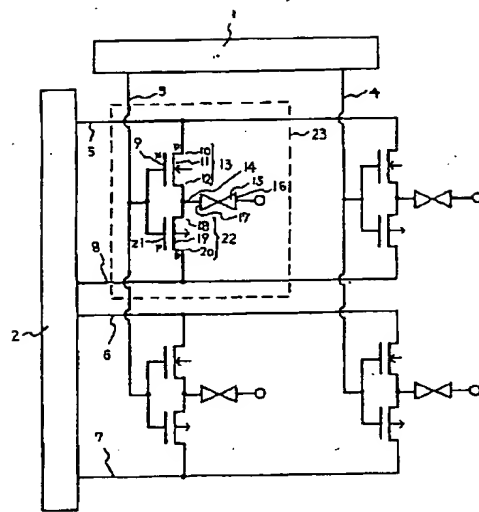
22・・・PTFT

23・・・画素

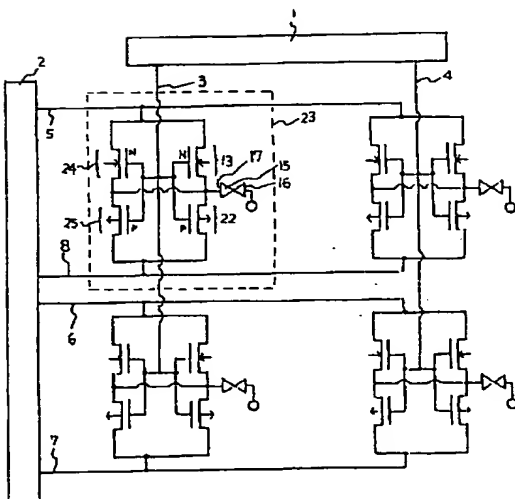
【図1】



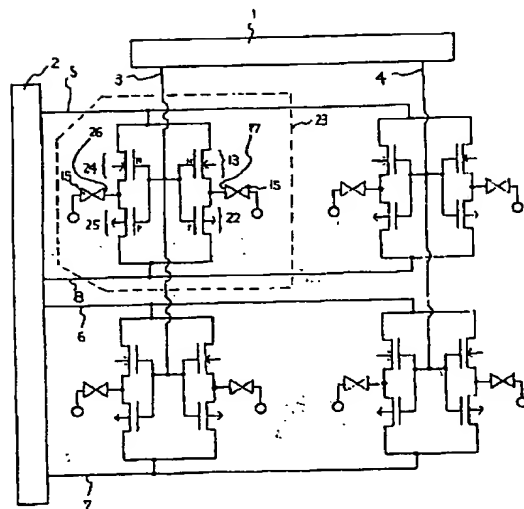
【図2】



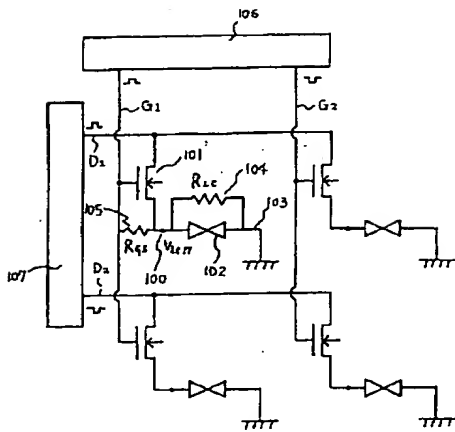
【図3】



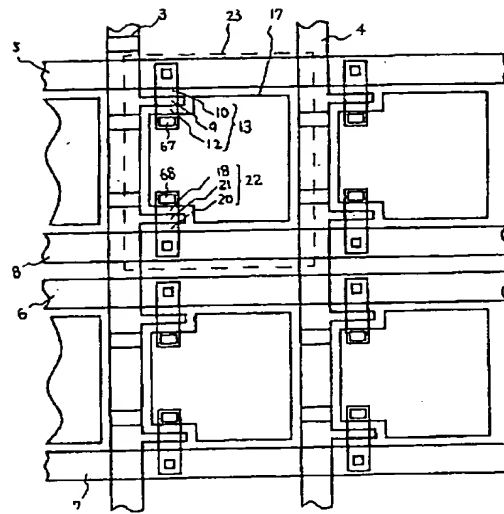
【図4】



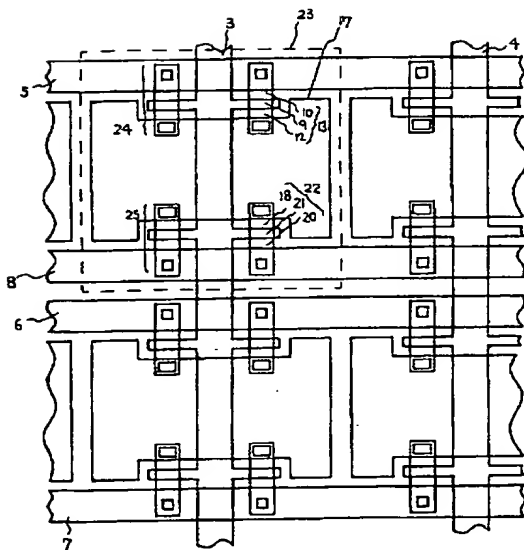
【図 5】



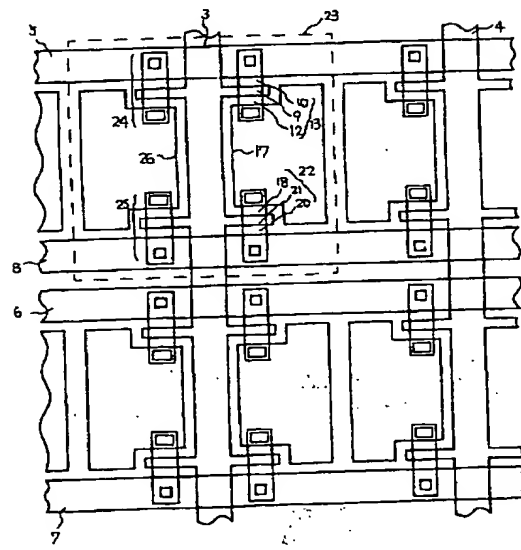
【図 6】



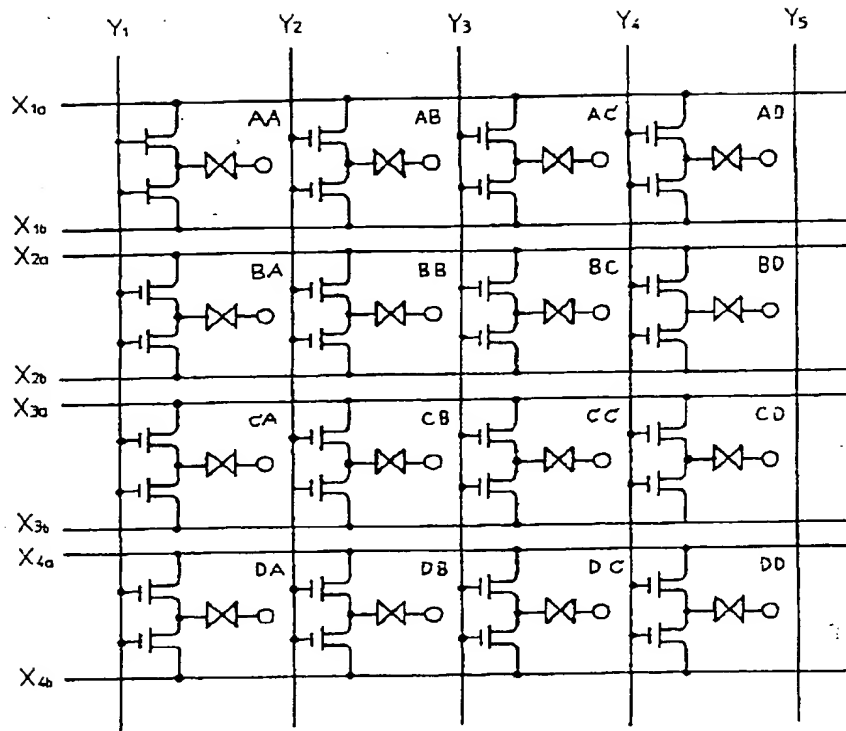
【图7】



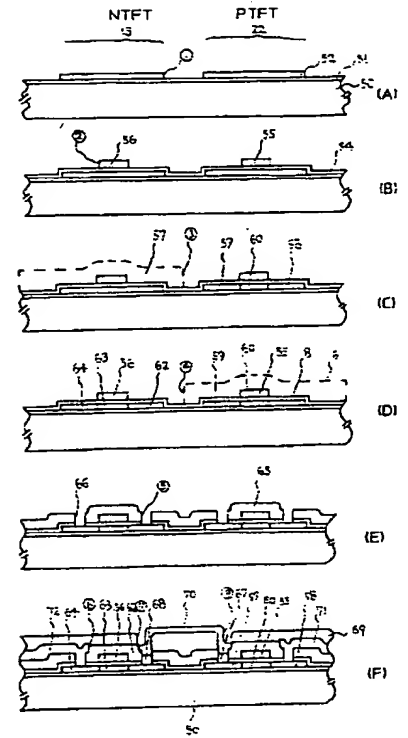
【図 8】



【図9】



【図13】



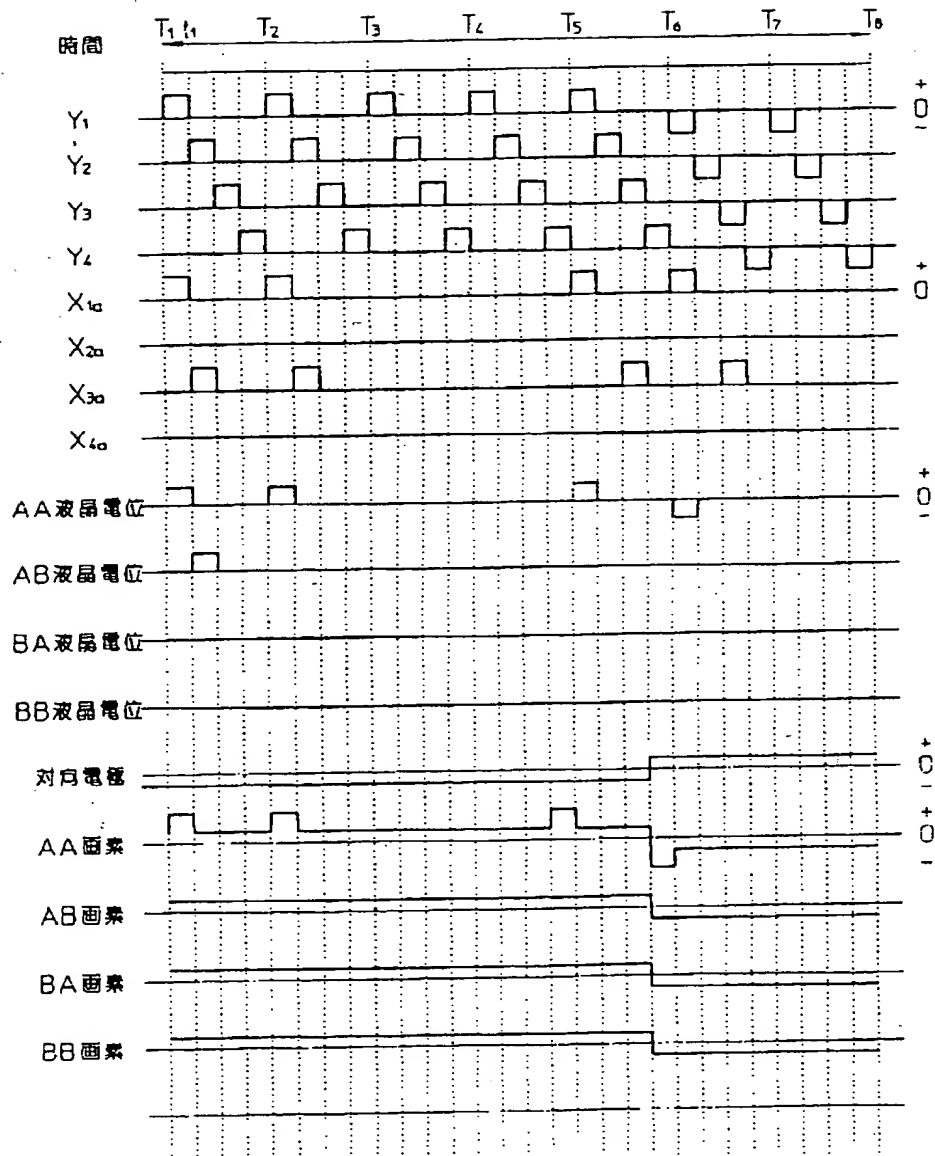
The timing diagram illustrates the operation of the 74LS161 counter over eight time intervals, T_1 through T_8 . The signals shown are:

- 時間 (Time):** The horizontal axis is divided into intervals T_1 to T_8 .
- Y1, Y2, Y3, Y4:** The 4-bit binary output of the counter. Y1 is the least significant bit (LSB) and Y4 is the most significant bit (MSB). The output values for each interval are:

時間	Y4	Y3	Y2	Y1
T_1	0	0	0	1
T_2	0	0	1	0
T_3	0	1	0	0
T_4	1	0	0	0
T_5	1	0	1	0
T_6	1	1	0	0
T_7	0	1	1	0
T_8	0	0	1	1
- X1a, X2a, X3a, X4a:** The 4-bit binary input to the counter. The input values for each interval are:

時間	X4a	X3a	X2a	X1a
T_1	0	0	0	1
T_2	0	0	1	0
T_3	0	1	0	0
T_4	1	0	0	0
T_5	1	0	1	0
T_6	1	1	0	0
T_7	0	1	1	0
T_8	0	0	1	1
- 液晶電位 (LCD Voltage):** A signal that is high during T_1 and T_2 , and low during T_3 through T_8 .
- 方向電極 (Direction Electrode):** A signal that is high during T_1 through T_5 and low during T_6 through T_8 .
- A面素 (A Segment):** A signal that is high during T_1 through T_5 and low during T_6 through T_8 .
- B面素 (B Segment):** A signal that is high during T_1 through T_5 and low during T_6 through T_8 .
- C面素 (C Segment):** A signal that is high during T_1 through T_5 and low during T_6 through T_8 .
- D面素 (D Segment):** A signal that is high during T_1 through T_5 and low during T_6 through T_8 .

【図11】



フロントページの続き

(56)参考文献 特開 平1-156725 (J P, A)
特開 昭62-158320 (J P, A)
特開 昭62-47177 (J P, A)
特開 昭59-141271 (J P, A)
特開 昭60-76170 (J P, A)
特開 昭60-177380 (J P, A)
特開 昭54-158190 (J P, A)
特開 昭58-199564 (J P, A)
特開 昭62-147759 (J P, A)
特開 平2-174170 (J P, A)
特開 平3-246973 (J P, A)
特開 平4-186635 (J P, A)

(58)調査した分野(Int. Cl.⁷, DB名)

G02F 1/1368

H01L 29/786